

3次元積層集積回路の検査技術の現状と展望

The Current Status and Perspective in Testing 3D Stacked ICs

検査技術委員会

1. はじめに

集積回路はこれまでムーアの法則に従うようにトランジスタサイズの縮小による集積度の向上を達成してきた。しかしながらトランジスタサイズの微細化は物理的限界が近づいている。一方、省面積多機能な次世代の集積技術として、複数のダイを縦方向に積層する3次元的な構造を持ち、単位面積当たりの集積度を飛躍的に高める3次元積層技術が開発・実用化されている^{1)~4)}。3次元積層集積回路は複数の良品ダイをシリコン貫通ビア TSV (Through Silicon Via) とマイクロバンプにより接続し積層するものであり、従来の SiP 技術におけるボンディングワイヤを用いる接続に比べてダイ間の配線長を短縮でき、パッケージの小面積化や高周波動作、消費電力の低減などの高性能化を実現できる。さらに、SoC と異なり、機能毎に適したプロセスで各チップを製造しそれらを積層することが可能である。

3次元積層集積回路において積層する各ダイは積層前にテストし、良品判定されたダイ KGD (Known Good Die) が接続された良品スタック KGS (Known Good Stack) をパッケージングする。TSV およびマイクロバンプの接続部をいかに検査し、KGD, KGS を判定するかが3次元積層 IC 特有の主な課題となる^{5),6)}。パッケージング後のテストアクセス機構としては、積層メモリに関しては JEDEC が、ロジックも含む異種ダイの積層 IC に関しては IEEE P1638 ワーキンググループにてそれぞれ標準化が行われている⁷⁾。これらは主に IEEE 1149.1 標準のパウンダリスキャン⁸⁾をベースにしてテスト信号を各ダイおよびダイ間配線に供給する手法である。研究面においてはさらに検出困難な、劣化時の故障原因となる抵抗性断線やリーク故障、微小遅延などの検出にも対応する手法が検討・開発されている。

本稿では3次元積層集積回路のテスト手法に関して、テスト容易化設計 (DFT[†]) についての研究動向の概説を通して、省面積多機能な集積回路の高信頼化へ向けての展望を述べる。

2. 3次元積層集積回路における故障とテスト

3次元積層集積回路では、図1のようにチップや接続基板となるインターポーザ内に基板を貫く TSV を設け、TSV とマイクロバンプでチップ間を接続する。TSV により各 IC ダイ間の信号配線、クロック配線、電源を接続する。また、積層ダイ内の熱をパッケージ側へ伝達するために用いられる TSV も存在する。

TSV の形成方法として、ウエハの薄化前に形成する手法 (Via First, Via Middle) とウエハの薄化後に形成する手法 (Via Last) がある。また、TSV のテストの段階として、図2の TSV 形成段階に応じて、ダイの積層前に行うプリボンドテスト、ダイの積層後に行うポストボンドテストがある⁵⁾。

TSV およびマイクロバンプによるチップ間接続における故障原因としては、マイクロボイド、アンダーフィル (微小なオープン故障)、酸化物中のピンホール (TSV と基板のショート)、ミスアライメントによるオープン、ショー

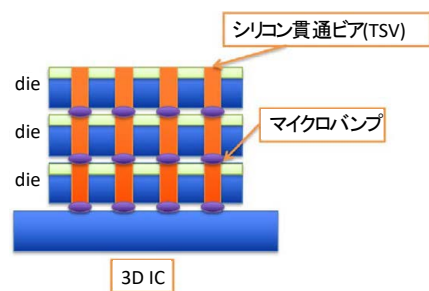


図1. TSV を用いる 3次元積層技術

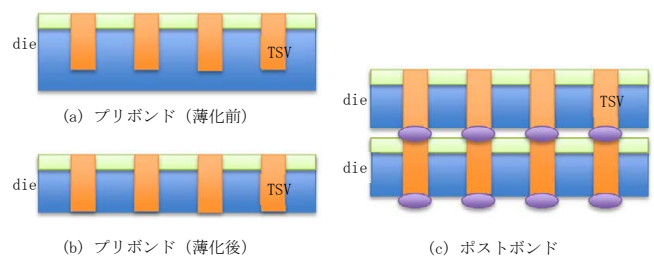
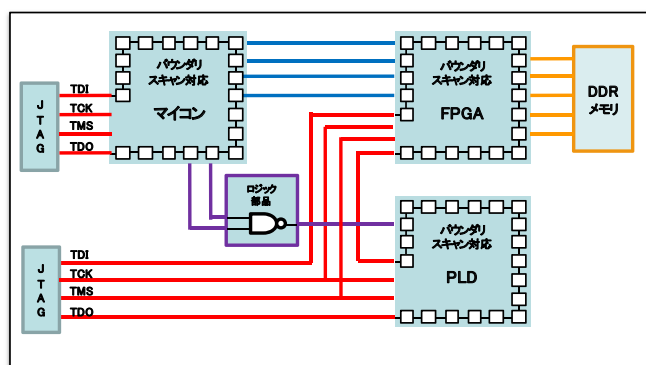
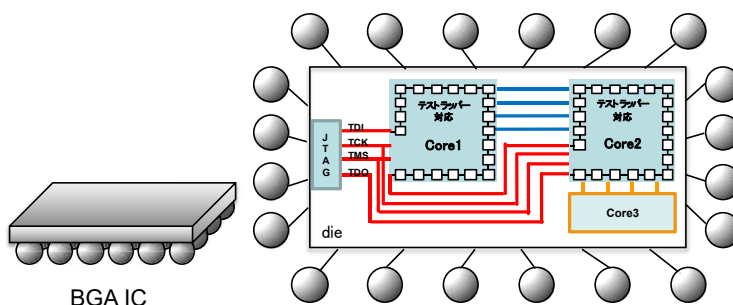


図2. TSV 形成段階



(a) プリント配線板実装回路用 DFT



(b) BGA IC 内コア用 DFT

図 3. プリント配線板, BGA IC での接続テスト用 DFT 回路

ト, 熱膨張係数 (CTE) 差によるダイの歪み, エレクトロマイグレーションによる完全断線などが挙げられる⁹⁾。ダイ間接続の特性解析として, 文献^{10),11)}では TSV, マイクロバンプの電気特性のモデル化や故障時のタイミング解析について報告されている。また, エレクトロマイグレーションによるボイドやクラックの形成については文献¹²⁾で解説されている。

プリボンドテストでは, TSV が正しく形成されたかの検査を行う。プリボンドテスト手法としては, プロービングによる手法と非接触でテストする手法に分けられる。文献¹³⁾では微小なマイクロバンプアレイに対応するプローブカードの開発が行われている。非接触な手法としては, 容量性・誘導性カップリングを用いた非接触プローブを用いる手法や X 線検査, 光学的に TSV 径の測定を行う手法⁴⁾などが提案されている。また, 次章で述べる DFT 回路による検査手法も提案されている。

ポストボンドテストでは, 積層工程中の研磨やボンディングなどにより新たな故障が生じていないか, ダイ間を接続している TSV を観測する必要がある。しかし, 微細な部位へのプロービングは実質困難であり, さまざまな DFT 提案が行われている。

3. 3次元積層集積回路の DFT 技術

3.1 従来のプリント配線板・SoC の DFT 技術

従来のプリント配線板に実装されたチップ間の接続検査

としては, 外観検査, X 線検査など物理的に接続の観測を行う手法と, ICT などのプロービングにより電氣的に信号の導通を検査する手法が存在する。しかしながら, BGA パッケージ IC など表面からの端子への直接アクセスが困難なデバイスの接続検査には, 接続端子へ信号を供給し, 応答を観測する DFT が必要となる。図 3 に代表的な DFT 手法である JTAG バウンダリスキャンの概念図を示す。JTAG バウンダリスキャンではテスト時に IC の入出力に任意の値を設定・観測できる付加回路 (バウンダリスキャンセル) を設けることで接続部の制御・観測を容易とする。プリント配線板上に JTAG バウンダリスキャン対応 IC を用いることで図 3(a) のように JTAG 用端子から各接続部の入出力信号の制御・観測を行い実装された各種 IC の接続検査を行うことができる。また, 図 3(b) の SoC 内部の回路コアにおいても, 同様に入出力値を制御・観測する IEEE1500 標準の DFT 回路であるテストラッパーの付加によりコア内部の機能によらず検査が可能となる。

3次元積層集積回路においてもチップ間配線である TSV が直接観測できないため同様の DFT 回路が用いられる。

3.2 TSV 検査用の DFT 技術

TSV の検査を行うには, 直接の接触が困難である TSV への信号供給が課題となる。ウエハの薄化により TSV を露出する場合は, ウエハ研磨前の TSV のプロービングは困難であり, また薄化後の TSV をプロービングする場合もプローブによるダメージなどを考慮しなければならない。そこ

で、TSVにDFT回路を設けて検査する手法が各種提案されている。

DFT手法として、リングオシレータを用いる手法と、バウンダリスキャンを拡張した手法の2つが主な手法として挙げられる。これらに関連する検査法・DFT回路を表1に挙げる。

プリボンドテストにおいて、図4(a)のようにリングオシレータをTSV端に接続し、TSVの容量値・抵抗値の異常をリングオシレータの周期の差異として検出する手法が文献¹⁴⁾で提案されている。TSVにショート欠陥が生じ、リーク電流が発生すると負荷が相対的に大きくなり、またTSVにオープン欠陥が生じると負荷が相対的に小さくなることで故障の影響が周期の測定により顕在化される。ポストボ

ンドテストにおいては図4(b)のようにリングオシレータをTSV経由で形成し、リングオシレータ内のTSVのドライバゲート変更時の周期の差異からTSVにおける遅延を検査する手法が提案されている¹⁰⁾。

ダイ間接続のテストを基板実装におけるバウンダリスキャン同様に行う手法としては、JTAGバウンダリスキャンやテストラッパー回路によるコア間テストなどを拡張し図5のようにTSV接続部にダイラッパーレジスタ(DWR)と呼ばれるバウンダリセルを設けるDFT手法がIEEE P1838として標準化が検討されている⁷⁾。ダイラッパーレジスタは図5のように各ダイの入出力に挿入され、入力値の設定・出力値の観測を行えるようになっている。図5の他にも入力設定のみ、出力観測のみのDWRセルが提案されている。

他にもバウンダリセルを改良した拡張手法が多数提案されている。文献¹⁵⁾では実速度テスト可能な2パターン印加用セルとテスト順序の最適化手法について述べられている。われわれも図6に示すTDC(Time-to-digital converter)をバウンダリスキャンセルに埋め込んだDFT設計により遅延量を測定する手法¹⁶⁾を提案している。バウンダリスキャン

表1. 3次元積層集積回路のDFT検査手法

検査手法	リングオシレータ (TSV 端接続型) ¹⁴⁾	リングオシレータ (TSV 経由型) ¹⁰⁾	IEEE P1638 ⁷⁾	TDCBS ¹⁶⁾
適用段階	プリボンド (薄化前・後)	ポストボンド	ポストボンド	ポストボンド
テスト対象	オープン, ショート	オープン, ショート, TSV 遅延解析	IEEE1149.1の拡張接続テスト	TDCにより遅延量測定

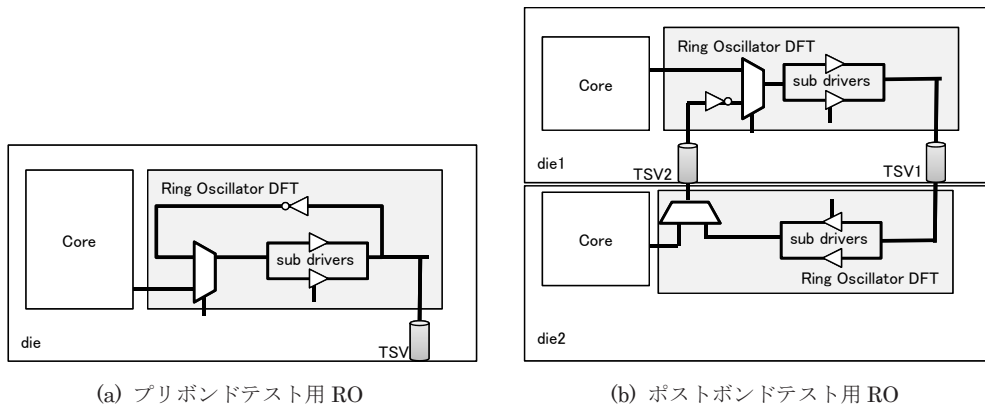


図4. リングオシレータ (RO) を用いる DFT 回路

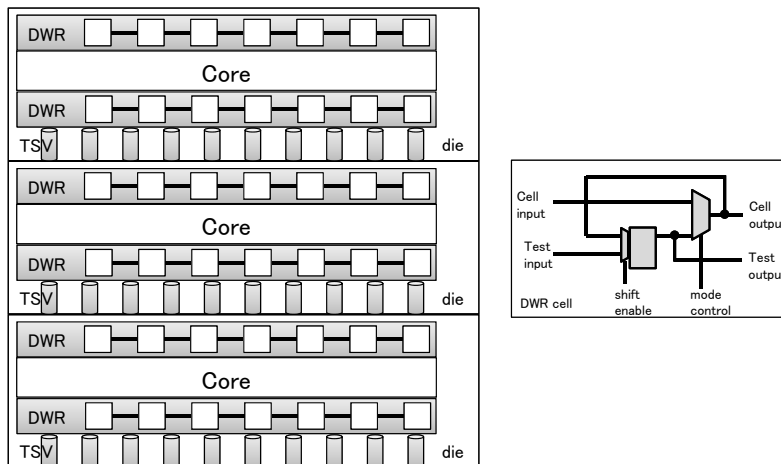


図5. DWR を用いる 3D-DFT 回路

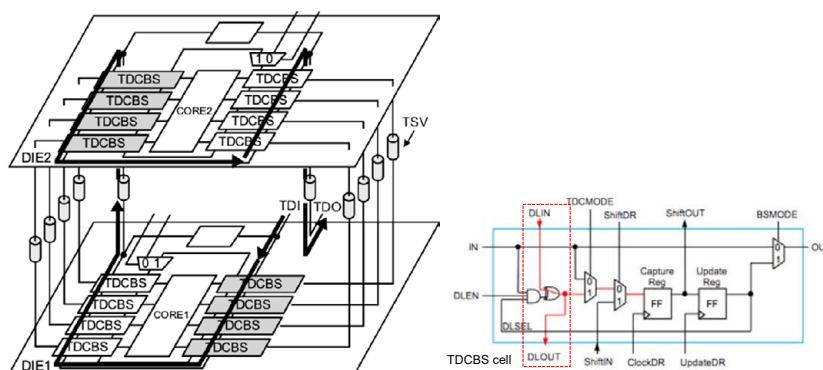


図 6. TDC を用いる DFT 回路

セル内に XOR ゲートを埋め込み、DLIN から DLOUT を經由して遷移信号にゲート遅延を付加しフリップフロップに取り込むことで信号遷移の遅延が観測可能となる。

その他の DFT 手法として、TSV に流れる電流を基にしたテスト手法が提案されている。TSV の I/O セル経路でテスト時に電流経路を形成し組込電流センサにより故障検出を行う手法^{17),18)}や、バウンダリスキャンセル内に電流デジタルイザを設けて基準電流との比較でリーク故障を検出する手法が提案されている¹⁹⁾。また、ダイ間配線に遷移時間モニタを挿入することで、劣化検知を行う手法も提案されている²⁰⁾。

4. まとめ

本稿では新たな高集積化技術である 3 次元積層集積回路の検査手法について、積層前・積層後のテストおよびテスト容易化設計手法の概要を述べた。本稿で紹介した検査手法は主に信号配線 TSV を対象としているが、それ以外の電源配線、クロック配線用 TSV の検査は課題として残っている。また、3 次元実装パッケージでは放熱構造も問題となるが、テスト実行時の発熱、放熱対策用 TSV の検査も今後検討すべき課題である。一方、これらの問題に関しては複数 TSV の利用による対策も可能である。また、今後の高信頼化手法として、劣化検知や冗長 TSV による故障 TSV のリペア²¹⁾などの機能の導入により、省面積多機能な 3 次元積層集積回路のさらなる実用化が期待される。

文責・四柳浩之／徳島大学
(2019.10.15- 受理)

文 献

- 1) 傳田精一：“三次元実装のための TSV 技術。” 工業調査会，東京，2009
- 2) K. Kondo, M. Kada, and K. Takahashi, Eds.: "Three-Dimensional Integration of Semiconductors." Springer International Publishing, 2015
- 3) T. Lu, C. Serafy, Z. Yang, S. K. Samal, S. K. Lim, and A. Srivastava: "TSV-Based 3-D ICs: Design Methods and Tools,"

- IEEE Trans. CAD, Vol. **36**, No. 10, pp. 1593–1619, Oct. 2017
- 4) 岡本和也，佐藤了平：“半導体産業とシステムデザイン・インテグレーションの重要性—先端微細化・3次元化と実装技術の統合化に関する一考察—” エレクトロニクス実装学会誌，Vol. **21**, No. 6, pp. 531–541, 2018
- 5) E. J. Marinissen: "Challenges and emerging solutions in testing TSV-based 2.5D- and 3D-stacked ICs," Proc. Design, Automation & Test in Europe Conf. & Exhibition (DATE), pp. 1277–1282, 2012
- 6) B. Noia and K. Chakrabarty: "Design-for-Test and Test Optimization Techniques for TSV-based 3D Stacked ICs," Springer, 2014
- 7) E. J. Marinissen, T. McLaurin, and H. Jiao: "IEEE Std P1838: DFT standard-under-development for 2.5D-, 3D-, and 5.5D-SICs," Proc. 21th IEEE European Test Symposium (ETS), 2016, pp. 1–10
- 8) ケンパーカー (著)，亀山修一 (監訳)：“バウンダリスキャンハンドブック第3版。” 青山社，2012.6
- 9) M. Taouil, M. Masadeh, S. Hamdioui, and E. J. Marinissen: "Post-Bond Interconnect Test and Diagnosis for 3-D Memory Stacked on Logic," IEEE Trans. CAD, Vol. **34**, No. 11, pp. 1860–1872, Nov. 2015
- 10) J.-W. You, et al.: "In-Situ Method for TSV Delay Testing and Characterization Using Input Sensitivity Analysis," IEEE Trans. VLSI, Vol. **21**, No. 3, pp. 443–453, Mar. 2013
- 11) Z. Gong and R. Rashidzadeh: "TSV Extracted Equivalent Circuit Model and an On-Chip Test Solution," IEEE Trans. CAD, Vol. **35**, No. 4, pp. 679–690, 2016
- 12) Y. Wang, et al.: "Effect of intermetallic formation on electromigration reliability of TSV-microbump joints in 3D interconnect," IEEE 62nd Electron. Components Technol. Conf., pp. 319–325, 2012
- 13) E. J. Marinissen, F. Fodor, B. De Wachter, J. Kiesewetter, E. Hill, and K. Smith: "A fully automatic test system for characterizing large-array fine-pitch micro-bump probe cards," International Test Conference in Asia (ITC-Asia 2017), pp. 144–149, 2017

- 14) L.-R. Huang, S.-Y. Huang, S. Sunter, K.-H. Tsai, and W.-T. Cheng: "Oscillation-Based Prebond TSV Test," IEEE Trans. CAD, Vol. **32**, No. 9, pp. 1440–1444, 2013
- 15) R. Wang, K. Chakrabarty, and S. Bhawmik: "At-speed interconnect testing and test-path optimization for 2.5D ICs," IEEE VLSI Test Symp. (VTS), pp. 1–6, 2014
- 16) H. Yotsuyanagi, H. Sakurai, and M. Hashizume: "Delay Line Embedded in Boundary Scan for Testing TSVs," IEEE Int. Work. Test. Three-Dimensional Stacked Integr. Circuits, 2014
- 17) F. Ashikin, M. Hashizume, H. Yotsuyanagi, S.-K. Lu, and Z. Roth: "A Design for Testability of Open Defects at Interconnects in 3D Stacked ICs," IEICE Trans. Inf. Syst., Vol. **E101.D**, No. 8, pp. 2053–2063, Aug. 2018
- 18) M. Kanda, M. Hashizume, H. Yotsuyanagi, and S. Lu: "A defective level monitor of open defects in 3D ICs with a comparator of offset cancellation type," in 2017 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT), 2017, pp. 1–4
- 19) P. M. P. Law, C.-W. Wu, L.-Y. Lin, and H.-C. Hong: "An Enhanced Boundary Scan Architecture for Inter-Die Interconnect Leakage Measurement in 2.5D and 3D Packages," IEEE 26th Asian Test Symp., pp. 5–10, 2017
- 20) S.-Y. Huang, M.-T. Tsai, H.-X. Li, Z.-F. Zeng, K.-H. H. Tsai, and W.-T. Cheng: "Nonintrusive On-Line Transition-Time Binning and Timing Failure Threat Detection for Die-to-Die Interconnects," IEEE Trans. CAD, Vol. **34**, No. 12, pp. 2039–2048, Dec. 2015
- 21) S. Wang, K. Chakrabarty, and M. B. Tahoori: "Defect Clustering-Aware Spare-TSV Allocation in 3-D ICs for Yield Enhancement," IEEE Trans. CAD, Vol. **38**, No. 10, pp. 1928–1941, Oct. 2019

 †用語解説

DFT : Design-for-Testability の略。本来の機能に加えて、テスト時の可制御性・可観測性を向上させテストコストを削減する付加回路を設けるテスト容易化設計。代表的な技術としてスキャン設計、BIST（組み込み自己テスト）、バウンダリスキャン設計などが用いられている。

 著者紹介


四柳浩之（よつやなぎ ひろゆき）
 平 10 大阪大学 大学院工学研究科博士後期課程了。
 同年より徳島大学工学部電気電子工学科助手、現
 在同大大学院社会産業理工学研究部准教授。順序
 回路のテスト容易化設計、断線故障の検査などの
 研究に従事。博士（工学）。エレクトロニクス実
 装学会、電子情報通信学会、IEEE 各会員。