

3D-IC のテスト技術

四柳 浩之^{1*}

Test Techniques for 3D-ICs

Hiroyuki YOTSUYANAGI^{1*}¹ 徳島大学 (〒 770-8506 徳島県徳島市南常三島町 2-1)¹ Tokushima University (2-1 Minami-Josanjima, Tokushima 770-8506)

1. はじめに

トランジスタの微細化と異なる高集積化技術として、チップの積層による3次元化を行う3D ICが実用化されている^{1)~4)}。積層チップ間の接続には、シリコン貫通ビア(TSV)が用いられ、チップ間配線を短く実装することが可能である。当初はメモリの積層が主にされていたが、ロジックチップの分割・積層についても開発が進められている³⁾。

本稿では3D ICにおけるテストに関連する技術および課題について解説する。3D IC特有のテストとしては、TSVが正しく形成されたか、チップ積層時の研磨やマイクロバンプなどによる接続時に欠陥が発生していないか、などのチップ間接続テストが挙げられる^{5)~7)}。

3D IC内の積層された複数チップ間接続のテストは、構造上、プリント配線板上に実装された複数IC間の接続と同様に考えられる。ただし、積層チップ間を繋ぐTSVを直接プロービングできないため、チップ内に何らかのテスト用回路が必須となる。3D ICの主なテスト法としてはプリント回路板のIC実装テスト手法であるバウンダリスキャン(IEEE 1149.1)法を3D IC向けに発展させたIEEE 1838規格が挙げられる^{8),9)}。

また、テストにより不良が検出された場合に、積層をやり直すことは現実的には困難である。ただし、少数のTSVの欠陥に起因する場合には回路内で不良TSVでの接続を救済可能なりペア技術により良品としての利用が可能である。

本稿では、3D ICのテスト対象として想定される欠陥、代表的なテスト工程を述べたのち、IEEE 1838などの3D IC向けのテスト容易化設計手法について紹介し、さらに不良TSVの検出時にスペアTSVによる救済を行うTSVのリペア手法についても紹介する。

2. 3D IC の接続不良

文献^{10),11)}には3D ICのダイ間接続に用いられるTSV、マイクロバンプに生じる欠陥について述べられている。それらの欠陥とその検査における対応する故障モデルについて表1, 2に示す¹⁰⁾。テストの際の故障モデルとしては配線の値が論理値1または論理値0に固定される縮退故障[†]が主に用いられるが、TSV・マイクロバンプの欠陥についてはパス遅延故障など検出のために信号変化を与える必要がある故障モデルに対応するものが多いことがわかる。

表1. TSVの欠陥とテスト時の故障モデルとの対応¹⁰⁾

欠 陥	原 因	対応する 主な故障モデル
ピンホール	TSVのバリアに生じる穴により基板とのショートが発生	縮退故障
ボイド	TSVの埋め込み不良	パス遅延故障
クラック	熱膨張係数(CTE)の不一致	パス遅延故障
TSVホールのピンチオフ不良	ホール上部のピンチオフによる高抵抗	パス遅延故障
コンタクト不良	TSVとトランジスタ・メタル間のオープン	スタックオープン故障
ミスアラインメント	TSVとマイクロバンプの位置ずれ	パス遅延故障, スタックオープン故障
TSV間のクロストーク	TSV間容量による信号の干渉	クロストーク故障

表2. マイクロバンプの欠陥とテスト時の故障モデルとの対応¹⁰⁾

欠 陥	原 因	対応する 主な故障モデル
BEOLの欠陥	チップ側のBEOLの不良	パス遅延故障, スタックオープン故障
チップとの接合不良	反りなどによる半断線	スタックオープン故障
マイクロバンプのショート	TSVの高さの相違などにより短絡	ブリッジ故障
ボイド・クラック	エレクトロマイグレーション・熱膨張係数(CTE)の不一致などに起因	パス遅延故障, スタックオープン故障

*. Corresponding author
E-mail: h.yotsuyanagi@tokushima-u.ac.jp

3. 3D IC のテスト工程

3D IC のテストは積層する各 IC チップのテスト、TSV 形成後のチップのテスト、複数チップ積層時のテスト、全チップ積層後のテスト、パッケージ後のテストなど各工程でテストが行われる。このうち、TSV・マイクロバンプのテストについては、積層前のテスト（プリボンドテスト）、積層後のテスト（ポストボンドテスト）に分けられる^{5),6),12)}。TSV の形成工程で TSV の端子が薄化により露出される形成法（ビアファースト、ビアミドルなど）が用いられる場合の TSV のテストとして、プリボンドテストで薄化前（図 1(a)）に適用可能な手法、薄化後（図 1(b)）に適用可能な手法がそれぞれ存在する。

ポストボンドテストのうち、3 チップ以上積層する際に積層ごと（図 1(c)）に行われるテストはミッドボンドテストとも呼ばれる。テストは全チップ積層後（図 1(d)）、およ

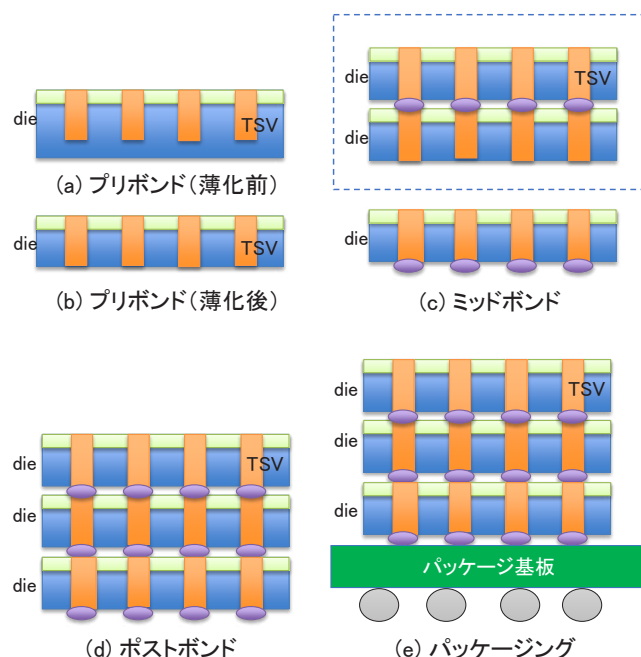


図 1. TSV・マイクロバンプによる積層と対応するテスト

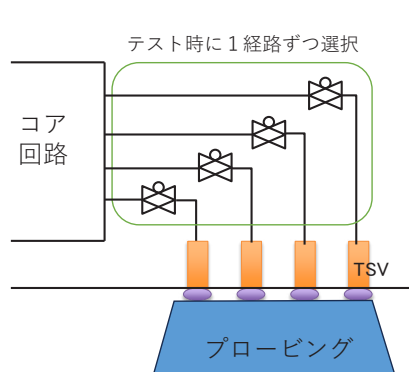


図 2. 複数 TSV へのプロービング手法⁵⁾

びパッケージに実装された際にも従来のパッケージングの際に行われるのと同様のテストが行われる（図 1(e)）。

プリボンドテストの場合は、外部から個別のマイクロバンプ、TSV に接触してのテスト TSV に従来のプローブがアクセス可能なパッドを設けることは困難である。

文献⁵⁾では薄化後図 2 のように複数の TSV にプローブを接触させ、接触する TSV と内部回路との間にトランスミッションゲートによりオープン状態と設定可能な構成とすることで、個別 TSV のテストを行える手法が提案されている。

微小な TSV、マイクロバンプへの接続を MEMS 型のプローブカードを用いて行うプロービング技術などを IMEC が報告している¹³⁾。これらの直接プロービングについては多数のテストチャネルが必要になるなどの課題も存在する。

チップ内のテスト容易化設計を用いるプリボンドテスト手法については次章で紹介する。

チップ積層する集積化形態には第 1 回講座で述べられたように Chip-on-Chip、Wafer-on-Wafer、Chip-on-Wafer の 3 種が存在する¹⁾。Chip-on-Chip、Chip-on-Wafer 積層方式ではテストにより良品判定されたチップ (Known good die; KGD) が積層される。一方、Wafer-on-Wafer 積層方式ではウェハ内に良品ではないチップが含まれる。歩留まりを上げるためには、テスト結果からなるべく同じ位置に KGD が存在するウェハの組み合わせを選択して積層する⁵⁾。

4. 3D IC を対象とするテスト容易化設計

3D IC の積層チップ間接続のテストは、接続部の TSV・マイクロバンプが直接プローブできないため、チップ内にテスト容易化設計を用いて検査が行われる。

ここでは、ボードテストの IC 間接続に用いられるバウンダリスキャン技術を元にした標準化技術である IEEE 1838⁸⁾と、チップ間の半断線などに起因する遅延などのテストを行うテスト容易化設計についていくつか紹介する。

4.1 IEEE 1838 規格

IEEE の標準規格として積層チップの接続部をチップ内部のコア回路と独立に制御・観測するテスト容易化設計技術である IEEE1838 が存在する^{8),9)}。ボードテストで IC 間接続のテストに用いられるバウンダリスキャン技術¹⁴⁾ (IEEE1149.1 規格, JTAG) と同様に、図 3 に示すように各チップに TSV・マイクロバンプの接続部の信号値を任意に設定可能とする DWR (Die Wrapper Register) を設け、それらを制御する TAP (Test Access Port) コントローラを設ける¹⁵⁾。TAP コントローラは各チップに共通の制御入力であるテストクロック信号 TCK、テストモード選択信号 TMS、テストリセット信号 TRST、各チップへの信号値設定・観測に用いるテストデータ入力 TDI および出力 TDO を持つ。上下のチップ間の TDO, TDI はシリアルに接続される。テスト用の信号を積層チップ間へ供給する構造からテストエ

レバータとも呼ばれる。

積層途中のテスト (mid-bond test) に対応するために、PTAP (Primary TAP)、STAP (Secondary TAP) が存在し、積層途中でも検査対象のチップ間接続の制御・観測を可能としている。また、オプションとして、チップ間接続のみではなく、積層後にチップ内回路のテストを行うための高速パラレル入力を可能にするための構成として FPP (Flexible Parallel Port) 回路が設けられている^{8),9)}。

4.2 半断線の検出も対象とするテスト容易化設計技術

バウンダリスキャン技術を基にする IEEE1838 では、ダイ間接続のショートや断線が検出されるが、半断線については検出が保証されない。

ダイ間接続における半断線も検出対象とするテスト容易化設計がいくつか提案されている。主な手法として、半断線の影響を信号遅延の異常として検出するものと、電流量の異常として検出するものが挙げられる。

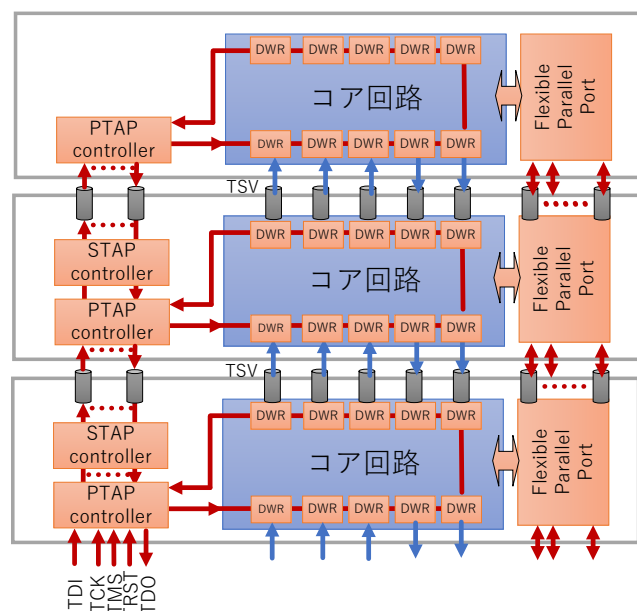
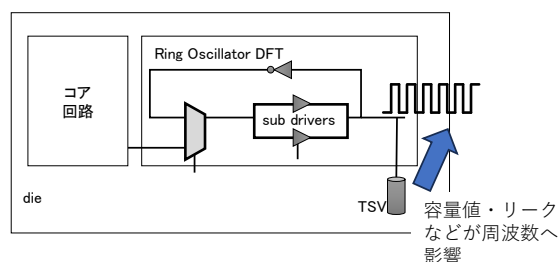
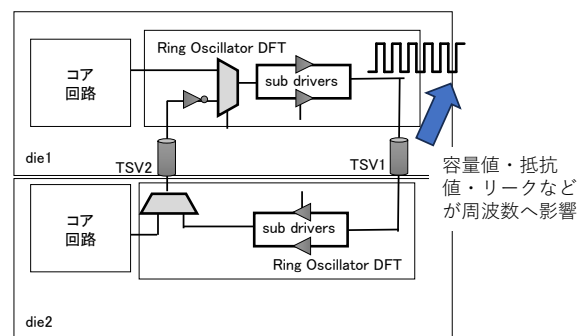


図3. IEEE 1838 規格のテスト容易化設計



(a) プリボンドテスト用RO構成



(b) ポストボンドテスト用RO構成

図4. リングオシレータを用いるテスト容易化設計

TSV による信号遅延を検出する手法の1つに、発振回路を TSV に接続し検査を行う手法がある。検査時に発振回路に TSV が接続されるようにし、検査対象 TSV の容量値の差異・ピンホール欠陥によるリークなどが出力信号の周波数に与える影響から TSV の欠陥を検出する手法がいくつか提案されている^{12),16)}。図4に示すように発振回路として周期の異なる2重のリングオシレータ (RO) を用い、得られる周波数の異常で故障の検出を行う。プリボンドテスト用のテスト回路として提案された図4(a)では積層前の TSV における容量値やリークの異常を得られる周波数の異常として検出する。図4(b)はポストボンドテスト用のテスト回路であり、積層チップをまたがって TSV を経路に含むリングオシレータを構成し、TSV の欠陥を周波数測定により検出する。

また、われわれは遅延故障テストを行うためのテスト容易化設計として、時間-デジタル変換回路 (TDC: Time-to-digital converter) をバウンダリスキャンセルに組み込み信号変化の遅延時間を測定する設計手法を提案した¹⁷⁾。さらに提案設計に信号変化を TSV へ供給可能な信号経路をセル内に追加し、3D IC への適用可能としている¹⁸⁾。図5が TDC 組み込み型バウンダリスキャン設計の回路例である。提案するバウンダリスキャンセルは標準のバウンダリスキャンと互換であり、さらに DLIN から入力される信号変化に XOR ゲートで遅延を付加しキャプチャレジスタでクロックタイミングでの値を取り込む。信号変化はさらに DLOUT から次段のバウンダリスキャンセルの DLIN へ接続され、遅延が付加されていく。これにより信号変化が到達可能なバウンダリスキャンセル段数をキャプチャレジスタの値で確認できる。試作した 3D IC への実験結果より、提案回路により TSV 接続部の完全断線が従来のバウンダリスキャン同様に検出され、さらに半断線に起因すると想定される接続が遅延量の外れ値として検出されることを確認した¹⁹⁾。

バウンダリスキャンセルTDCBSOUT

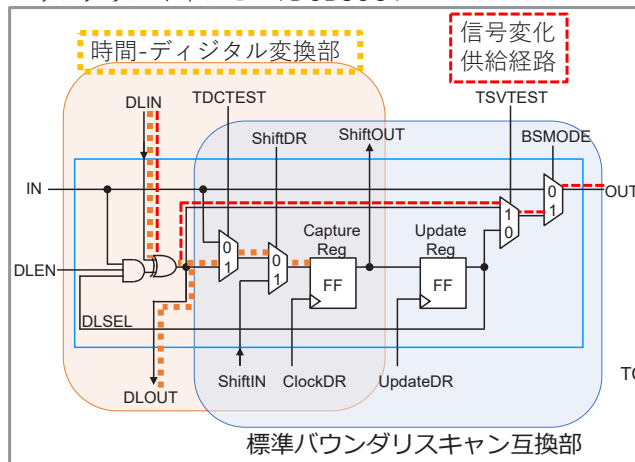


図 5. 時間-デジタル変換回路組み込み型バウンダリスキャン設計

5. TSV のリペア

ポストボンドテストにより TSV の不良が検出された場合、現実的には TSV のリワークは困難である。したがって、KGD であるチップも含めて積層したチップすべてを廃棄することになる。歩留まりを上げるために、あらかじめ予備用のスペア TSV を設け、不良 TSV と配線を入れ替える（リペア）機構を持たせることで不良を救済する BISR (Built-in Self Repair) 手法が提案されている^{20)~22)}。

設計時にスペアの TSV を設け、テストにより不良 TSV を検出した場合、スペア TSV を含む良品 TSV で信号経路のつけかえを行う。図 6(a) が通常の信号経路、図 6(b) のように故障 TSV が検出された場合は、隣の TSV へと信号切り替えるための回路を設ける。

TSV のリペアに関するコストとしては、スペア TSV の数や経路選択回路に要する面積オーバーヘッド、接続を迂回するために生じる遅延などが挙げられる²³⁾。それらは設計で許容される範囲で決定する必要がある。また、不良 TSV の位置情報や経路選択情報をチップ間で伝達する制御 TSV については、二重化などにより耐故障性を持たせる必要がある。

スペア TSV と救済経路の配置には図 7 のような各種配置が提案されている²⁴⁾。図 7(a) が図 6 に対応する隣の TSV への迂回経路を持つスペア TSV の配置構成、図 7(b) は両端にスペア TSV を持つ配置構成である。図 7(c) は TSV アレイに対するスペア TSV 配置で横方向と下方向の迂回経路を組み合わせることができる。図 7(d) は同様に TSV アレイに対するもので、内側からリング状の救済経路と内外のリング間を接続する救済経路を持つ ring-based 構成と言われるものである。この他にもクモの巣状、蜂の巣状など構成

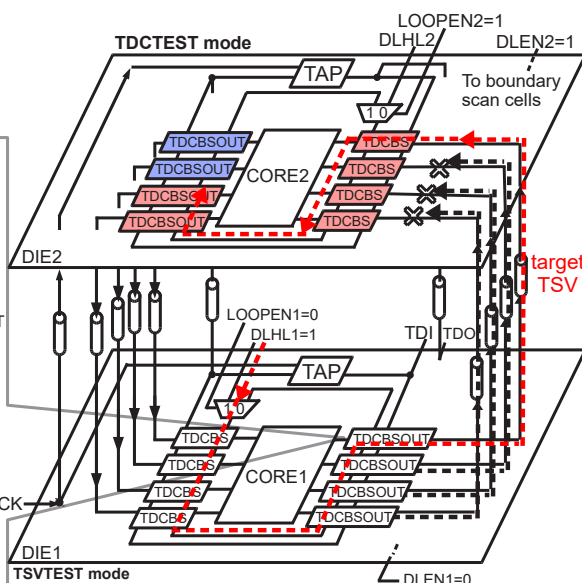
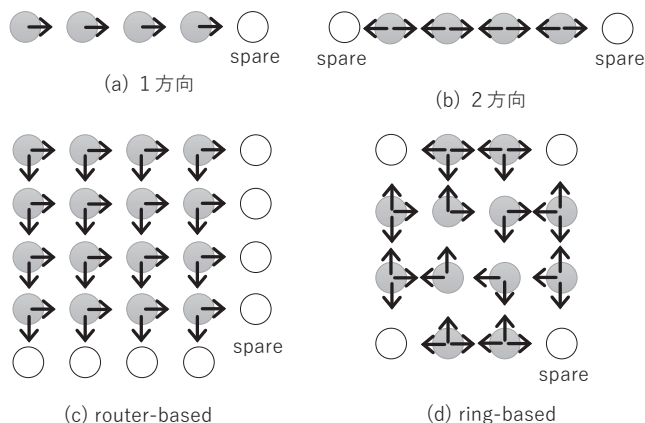


図 6. TSV のリペア

図 7. スペア TSV と救済経路の配置例²⁴⁾

の異なるスペア TSV の配置が提案されている^{25),26)}。

リペアの手法には一箇所の接続に欠陥が発生することを想定するものが多いが、製造工程から隣あう TSV がともに不良となる可能性は無視できない²⁰⁾。

文献²¹⁾では、スペアの TSV を多く設けて信号経路の選択範囲を広げる手法が提案されている。スペア TSV は図 8 のように階層的に配置され、グループ内のリペアに用いられるスペア TSV と複数のグループにまたがって信号経路の

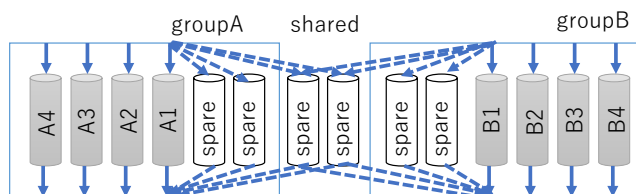


図 8. 階層構造を持つスベア TSV 配置²¹⁾

付け替え可能なスベア TSV の 2 種類を用いる。これによりある程度広範囲にわたる不良 TSV の救済を可能としている。

ただし、チップの反りやミスアラインメントによる接続不良が広範囲におよぶ場合はリペア TSV の不足により救済不能となる可能性がある。

6. まとめ

本稿では、3D IC のテスト技術として、標準化されている IEEE1838 を主に、その他のテスト容易化設計、さらに不良 TSV をスベア TSV で救済するリペア技術について紹介した。

チップ積層については、本誌 7 月号特集でも詳細な技術紹介がされているように、チップを垂直に積み上げる 3D IC とともにインターポーザ上に水平方向にチップを実装する各種 2.x D 実装を用いるチップレット集積化が進んでいる。IEEE1838 など本稿で紹介のテスト容易化設計の多くは 2.xD 実装の際のチップ間接続テストにも適用可能である⁹⁾。

(2023.8.8- 受理)

文 献

- 1) 福島誉史：“TSV 形成の基礎と三次元実装の動向,” エレクトロニクス実装学会誌, Vol. **25**, No. 7, pp. 700–708, 2022
- 2) K. Kondo, M. Kada, and K. Takahashi, Eds.: “Three-Dimensional Integration of Semiconductors,” Springer International Publishing, 2015
- 3) T. Lu, C. Serafy, Z. Yang, S. K. Samal, S. K. Lim, and A. Srivastava: “TSV-Based 3-D ICs: Design Methods and Tools,” IEEE Trans. CAD, Vol. **36**, No. 10, pp. 1593–1619, Oct. 2017
- 4) X. Hu, D. Stow, and Y. Xie: “Die Stacking Is Happening,” IEEE Micro, Vol. **38**, No. 1, pp. 22–28, Jan. 2018
- 5) K. Chakrabarty, M. Agrawal, S. Deutsch, B. Noia, R. Wang, and F. Ye: “Test and Design-for-Testability Solutions for 3D Integrated Circuits,” IPSJ Trans. System LSI Design Methodology, Vol. **7**, pp. 56–73, 2014
- 6) J. Knechtel, O. Sinanoglu, I. (Abe) M. Elfadel, J. Lienig, and C. C. N. Sze: “Large-Scale 3D Chips: Challenges and Solutions for Design Automation, Testing, and Trustworthy Integration,” IPSJ Trans. System LSI Design Methodology, Vol. **10**, pp. 45–62, 2017

- 7) 検査技術委員会：“3 次元積層集積回路の検査技術の現状と展望,” エレクトロニクス実装学会誌, Vol. **23**, No. 1, pp. 32–36, 2020
- 8) A. Cron and E. J. Marinissen: “IEEE Standard 1838 Is on the Move,” Computer, Vol. **54**, No. 11, pp. 88–94, Nov. 2021
- 9) バウンダリスキャン研究会：“チップレット実装を支えるバウンダリスキャン,” エレクトロニクス実装学会誌, Vol. **26**, No. 1, pp. 102–105, 2023
- 10) M. Taouil, M. Masadeh, S. Hamdioui, and E. J. Marinissen: “Post-Bond Interconnect Test and Diagnosis for 3-D Memory Stacked on Logic,” IEEE Trans. CAD, Vol. **34**, No. 11, pp. 1860–1872, Nov. 2015
- 11) I. De Wolf, K. Croes, and E. Beyne: “Expected Failures in 3-D Technology and Related Failure Analysis Challenges,” IEEE Trans. Components, Packaging and Manufacturing Technology, Vol. **8**, No. 5, pp. 711–718, 2018
- 12) S.-Y. Huang: “Pre-Bond and Post-Bond Testing of TSVs and Die-to-Die Interconnects,” Proc. IEEE 25th Asian Test Symposium (ATS), 2016, pp. 80–85
- 13) E. J. Marinissen, F. Fodor, A. Podpod, M. Stucchi, Y. R. Jian, and C. W. Wu: “Solutions to Multiple Probing Challenges for Test Access to Multi-Die Stacked Integrated Circuits,” Proc. Int. Test Conf., pp. 1–10, 2018
- 14) ケンパーカー (著), 亀山修一 (監訳): “バウンダリスキャンハンドブック第 3 版,” 青山社, 2012
- 15) E. Marinissen, C.-C. Chi, M. Konijnenburg, and J. Verbree: “A DFT Architecture for 3D-SICs Based on a Standardizable Die Wrapper,” Journal of Electronic Testing: Theory and Applications (JETTA), Vol. **28**, No. 1, pp. 73–92, 2012
- 16) J.-W. You, et al.: “In-Situ Method for TSV Delay Testing and Characterization Using Input Sensitivity Analysis,” IEEE Trans. VLSI, Vol. **21**, No. 3, pp. 443–453, Mar. 2013
- 17) H. Yotsuyanagi, H. Makimoto, T. Nimiya, and M. Hashizume: “On Detecting Delay Faults Using Time-to-Digital Converter Embedded in Boundary Scan,” IEICE Trans. Inf. Syst., Vol. **E96**, No. 9, pp. 1986–1993, 2013
- 18) H. Yotsuyanagi, H. Sakurai, and M. Hashizume: “Delay Line Embedded in Boundary Scan for Testing TSVs,” IEEE International Workshop on Testing Three-Dimensional Stacked Integrated Circuits, 2014
- 19) 高見圭悟, 四柳浩之, 橋爪正樹: “3 次元積層 IC に実装した遅延検査容易化回路による TSV 検査能力評価,” 電子情報通信学会技術研究報告, Vol. **122**, No. 285, pp. 162–167, 2022
- 20) L. Jiang, Q. Xu, and B. Eklow: “On Effective Through-Silicon Via Repair for 3-D-Stacked ICs,” IEEE Trans. CAD, Vol. **32**, No. 4, pp. 559–571, 2013
- 21) Di. K. Maity, S. K. Roy, and C. Giri: “TSV-Cluster Defect

Tolerance Using Tree-Based Redundancy for Yield Improvement of 3-D ICs," IEEE Trans. CAD, Vol. **40**, No. 8, pp. 1500–1510, Aug. 2021

- 22) Y. Ikiri, M. Hashizume, H. Yotsuyanagi, H. Yokoyama, T. Tada, and S.-K. Lu: "Repair Circuit of TSVs in a 3D Stacked Memory IC," Proc. International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), pp. 431–434, 2015
- 23) Y.-G. Chen, W.-Y. Wen, Y. Shi, W.-K. Hon, and S.-C. Chang: "Novel Spare TSV Deployment for 3-D ICs Considering Yield and Timing Constraints," IEEE Trans. CAD, Vol. **34**, No. 4, pp. 577–588, 2015
- 24) W. H. Lo, K. Chi, and T. Hwang: "Architecture of ring-based redundant TSV for clustered faults," Design, Automation Test in Europe Conference Exhibition (DATE), pp. 848–853, 2015
- 25) T. Ni, D. Liu, Q. Xu, Z. Huang, H. Liang, and A. Yan: "Architecture of Cobweb-Based Redundant TSV for Clustered Faults," IEEE Trans. VLSI, Vol. **28**, No. 7, pp. 1736–1739, Jul. 2020
- 26) T. Ni, et al.: "A novel TDMA-based fault tolerance technique for

the TSVs in 3D-ICs using honeycomb topology," IEEE Trans. Emerging Topics in Computing, Vol. **9**, No. 2, pp. 724–734, 2021

† 用語解説

縮退故障：テストに用いられる故障モデルの1つであり、配線の値が論理値1または論理値0に固定される故障のこと。テストの場合は故障配線に固定値と逆の値を設定し、かつ故障で生じる反転値の影響を外部出力まで伝搬することができるテスト入力が必要となる。

著者紹介



四柳 浩之（よつやなぎ ひろゆき）

平10 大阪大学 大学院工学研究科博士後期課程了。同年より徳島大学工学部電気電子工学科助手、現在同大大学院社会産業理工学研究部准教授。順序回路のテスト容易化設計、断線故障の検査などの研究に従事。博士（工学）。エレクトロニクス実装学会、電子情報通信学会 各会員。IEEE Senior Member。