

チップ間接続の半断線検出のための検査容易化設計手法

四柳 浩之^{1*}

Design for Testability Methods for Detecting Resistive Opens at Chip Interconnects

Hiroyuki YOTSUYANAGI^{1*}¹ 徳島大学 (〒 770-8506 徳島県徳島市南常三島町 2-1)¹ Tokushima University (2-1 Minami-Josanjima, Tokushima 770-8506)

1. はじめに

ICが多ピン化するとともに、パッケージは4辺に端子を持つQFPから裏面に多数のはんだ接合部を持つBGAが用いられるようになっていく。

BGAパッケージICの実装検査に対しては、接続部を直接観測・プローブすることができない。そのため、従来の画像検査は困難であり、またインサーキットテスト(ICT)を用いる検査ではプロービング用のテストパッドを設けるなどのコストが必要となっている。デジタル信号のみの基板またはアナログ信号とデジタル信号の混在する基板において、デジタル信号(主にアドレスバス、データバスなどの信号)の配線検査は新たにテストパッドの追加を行わず、検査容易化設計を用いてテストを行うことも可能である。

本稿では、主にICの入出力部に設けた検査容易化回路を用いる半断線検査法について解説する。代表的な検査容易化設計手法であるバウンダリスキャン設計¹⁾は、I/Oに任意の論理電圧を設定することで、内部回路によらず、チップ間接続の短絡・断線の検出を行うことが可能である。ただし、不完全な接続による不良については確実な検査が困難である。チップ間が欠陥により高抵抗で接続される半断線検出については、半断線の影響をさまざまな形で検出する研究が行われている。それらの中で、配線に検査用の電流経路を設ける電気検査法、静電容量を用いて断線を検出する手法、配線部を含むリングオシレータを設けて周波数の異常として検出する手法、時間-デジタル変換回路により信号遅延の異常を検出する手法、を紹介する。

2. 断線故障の電氣的検査法

はんだ接合部では、はんだ内のボイドの発生、あるいはプリント配線板の反りなどにより、はんだ接続にクラック

が入り断線が生じる可能性がある。また、欠陥が存在しても部分的には接続されている場合は、高抵抗での半断線となる。

半断線の原因となる欠陥は時間の経過とともに完全断線へと成長し誤動作を引き起こす可能性がある。これらを出荷時に検出する、あるいは使用時に劣化予測を可能とすることで信頼性が保たれる。

非破壊で物理的欠陥の具体的な原因の解析を行うには、X線CT画像によるBGAの欠陥観測が有効である²⁾。ただし、測定時間の短縮のためには原因箇所の特定を他の手法で行うことが望ましい³⁾。

主に電氣的検査法によりはんだ接合部の断線および半断線を検出する手法について、表1にまとめる。これらには提案時QFPなどのピンオープン故障検出を想定している手法でBGAにも適用可能と思われるものも含めている。各手法で検査に用いる観測対象は、大きく分類すると容量値を求めるもの、電流計測を用いるもの、遅延量を求めるもの、に分けられる。

次章では、各手法の特徴について述べる。

表1. はんだ接合部の検査手法

SJ BIST 法	端子に接続したキャパシタにパルス信号を印加し、はんだ不良による寄生容量の差異を検出
静電容量を用いる断線検査法	断線時に外部との静電容量値の正常時との差異による検出、あるいは外部との静電容量により断線部への信号変化を与えることで断線有無を検出
I/Oセル内の電流計測による検出法	検査時に両ICのI/Oセル間に電流経路を形成し欠陥による抵抗を検出
弛緩発振器による断線検出法	配線を経由する電流を弛緩発振器に供給し出力信号の周波数をカウンタにて測定
I/O BIST 法	双方向I/OのバウンダリスキャンセルにてI/Oパッド経由の遅延とパッド経由しないフィードバックループでの遅延を比較し負荷の異常を検出
リングオシレータによる遅延検出法	複数のIC間配線を経由するリングオシレータを構成し異常遅延を検出
TDC組込み型バウンダリスキャン法	時間-デジタル変換回路(TDC)をバウンダリスキャン回路内に構成し遅延時間を測定

*, Corresponding author

E-mail: h.yotsuyanagi@tokushima-u.ac.jp

3. 半断線故障検査を対象とする検査容易化設計

本章では、表1にて挙げた各検査および検査容易化設計についての概要を述べる。

3.1 容量成分の充放電を用いる手法

SJ BIST 法

はんだの抵抗値をモニターする回路として、未使用の2端子に図1のようにコンデンサを接続し、その充放電の差異を観測することで抵抗値を得る手法(SJ BIST)がある⁴⁾。提案手法はFPGAに対して用いられ、2端子によるモニター回路をBGAの4隅など不良の発生しやすい箇所と内部の数カ所に設けて、抵抗値の差異を検出することで、はんだ不良を検出するものである。文献⁴⁾では振動試験とともに用いられた結果が報告されている。また、それを改良し1端子で測定可能とした回路⁵⁾では、RC回路の充放電時間の観測ではんだボールの抵抗値の異常を検出する。

静電容量を用いる断線検査

ピンの断線に関しては、図2(a)のようにデバイス上に容量を検出するセンサを設けて、時変信号を検査対象ピンに与えて得られる容量値の差異から断線不良を検出する手

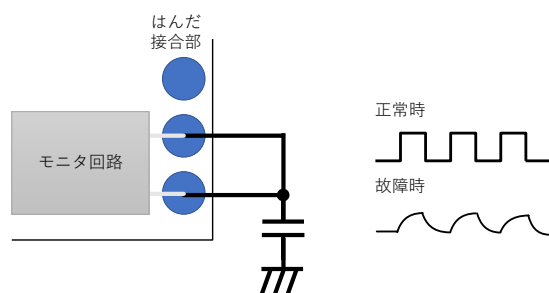


図1. SJ BIST

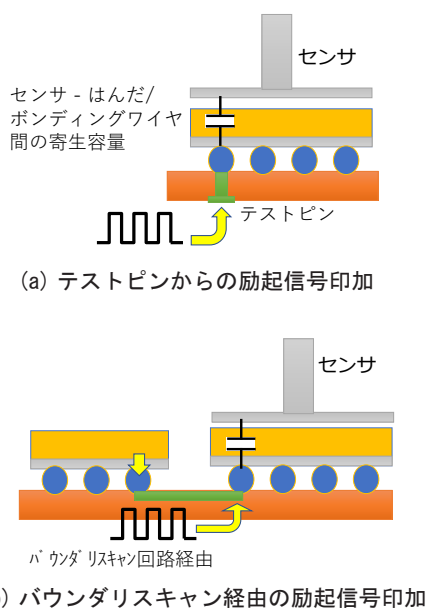


図2. 時変信号印加による半断線検出

法がある^{6),7)}。テストピンを設けて対象箇所に時変信号を直接与えるとICを動作させることなく検査できるベクターレステスト(VTEP)として断線検査が可能である。一方、すべてのピンにテストピンを付加することは困難であるため、対象配線で接続されているICにバウンダリスキャン回路がある場合には図2(b)のようにバウンダリスキャン経路で容量検出の励起信号となる信号変化を対象のピンに供給し検査を行う。

一方、文献⁸⁾にて提案のICのピンとランド間の静電容量を用いて、電位を外部から変動させることで内部ゲートの入力端子電圧が影響されるか否かを検出する検査法を適用することも考えられる。図3に検査時の動作を示す。ただし、文献では表面実装での実験がされているがBGAのピンオープンに関しては適切な容量値などの評価が必要である。

3.2 はんだ接合部に電流経路を設け検出する手法 I/O電流テスト⁹⁾

文献⁹⁾において、検査時にIC間接続配線に電流経路を設けて、その電流の異常値により断線検出する手法を提案している。図4の回路構成とし、出力側ICの入力セルに付加回路としてダイオードを検査用ピンとの間に配置する。通常動作時は検査用ピンTSTにI/O電源VDDOを供給しダイオードを非導通とする。検査時には、入力側ICの出力セルから論理電圧Hを出力することで電源からの電流経路を設け、出力側ICの検査用ピンTSTとGND間に静的電源電流測定用の抵抗RCを挿入し、入力側ICからの電流を流し配線間抵抗の不良を検出する。ダイオードの特性を事前に調査しておき、その差分を用いることで、低抵抗の欠陥についても検出可能となる。これまでにMOSばらつきを考慮するシミュレーション値にて $0.01\ \Omega$ の抵抗断線の検出可能性を確認している¹⁰⁾。

弛緩発振器を用いる手法¹¹⁾

上記の電源電流の観測による検査手法では、検査用ピンへの抵抗の挿入が必要であり、オンラインテストは不可能であるが、同様に配線間に流す電源電流の影響を観測する回路をIC内部に設ける手法を提案している。電流の異常を検知する回路として、弛緩発振器を用いる。

図5の回路のように、対象となるI/Oを選択し、弛緩発振器への入力電流とする。電流量に応じて弛緩発振器の出

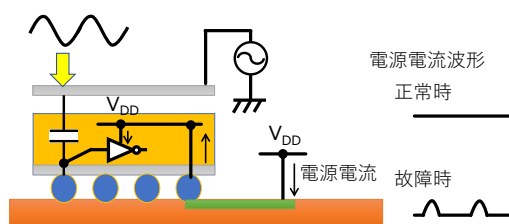


図3. 電界印加による半断線検出

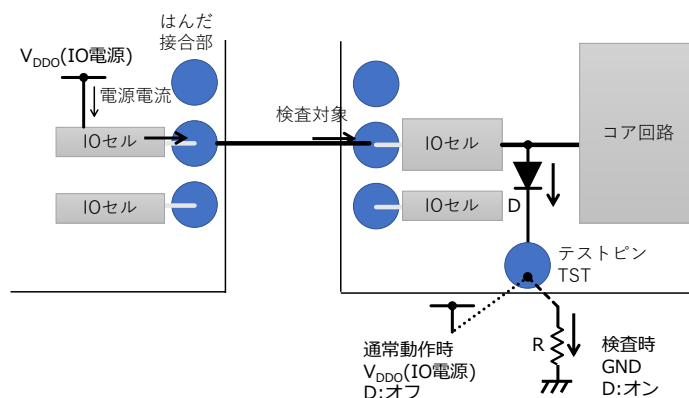


図4. 電流計測による半断線検出

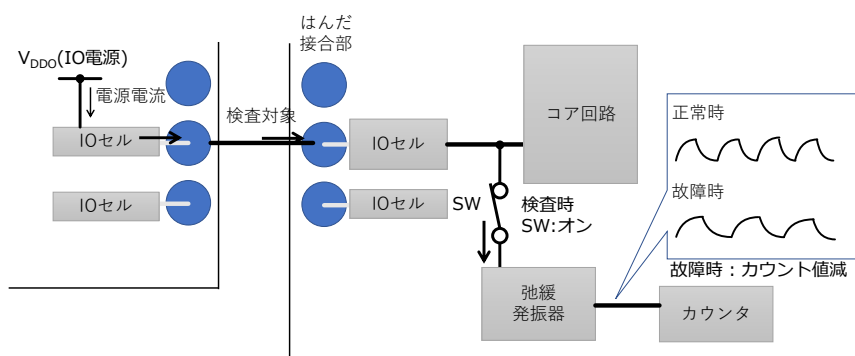


図5. 弛緩発振器を用いる半断線検出

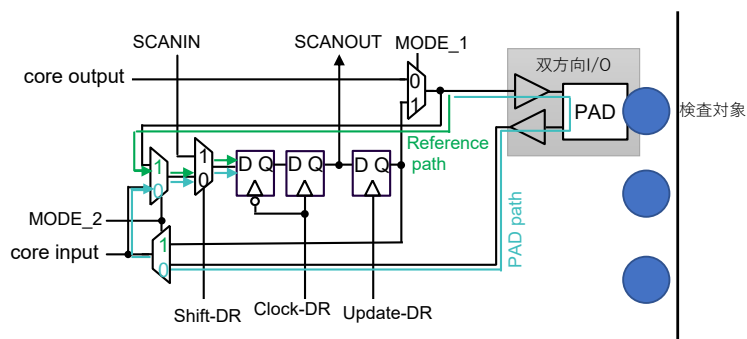


図6. 双方向I/OセルのI/O BIST

力信号の発振周期が変動する。半断線により接続抵抗が大きくなる場合は発振周期が長くなる。IC内で周期の差異を検出するために、弛緩発振器の出力をパルス波形に整形しカウンタ回路でのカウント値を用いて周波数を概算する。

3.3 接続配線を通る信号変化を測定する手法

I/Oパッドにおける遅延量を用いる半断線検査¹²⁾

Suntarらは、図6のように双方向I/Oセルにつながるバウンダリスキャンセルを用いるI/O BISTと呼ばれる検査手法を提案している¹²⁾。ここで使用するバウンダリスキャンセルはIEEE1149.1規格で定められた双方向I/O用のBC_7型と同等のセルである。I/O BISTでは、バウンダリスキャンセル内部でフィードバックする経路(reference path)と、

I/OセルとI/Oパッドを含めたフィードバック経路(PAD path)の2種の信号経路のサンプリングを行い、その差異からI/Oパッドでの遅延を観測し、パッドの負荷が異常であることを検出する。サンプリングの際には(N-1)/Nの周波数比になる非同期クロックClock-DR、Update-DRを用いることで、周波数の(N-1)の精度で測定される。

リングオシレータを用いる手法^{13),14)}

遅延量の差異を測定する手法としてリングオシレータを用いる検査手法がSoCの内部コア間や、3次元積層IC内のダイ間の接続検査用に提案されている^{13),14)}。検査時に反転ゲートを奇数個含むリングオシレータを2つの配線を含めて図7のように構成し、その発振周波数を観測することで

断線による遅延を検出する。半断線の検出には負荷の異なるドライバゲートを経由する複数のリングオシレータの周波数観測により遅延の推定を行う手法が提案されている¹⁴⁾。

TDC 組込み型バウンダリスキャン設計 (TDCBS)¹⁵⁾

半断線故障の検査のための検査容易化設計として、われわれはバウンダリスキャン回路内部に時間-デジタル変換回路 (TDC) を内蔵することで IC 間接続の遅延時間を観測

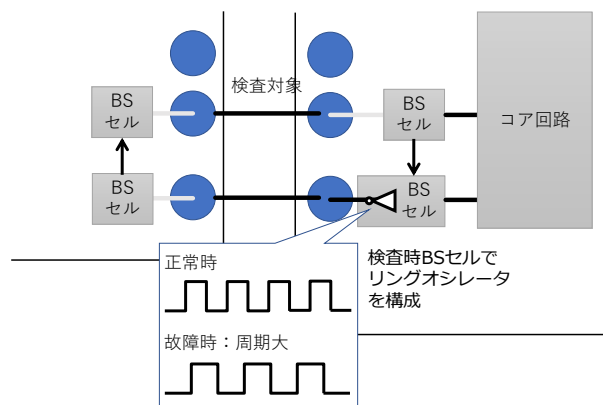


図7. リングオシレータを用いる遅延検出

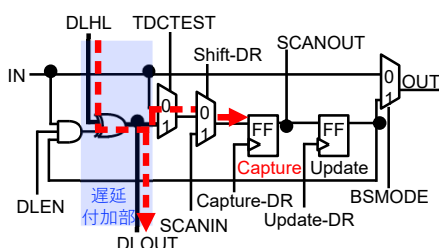


図8. TDCBSセルの構成

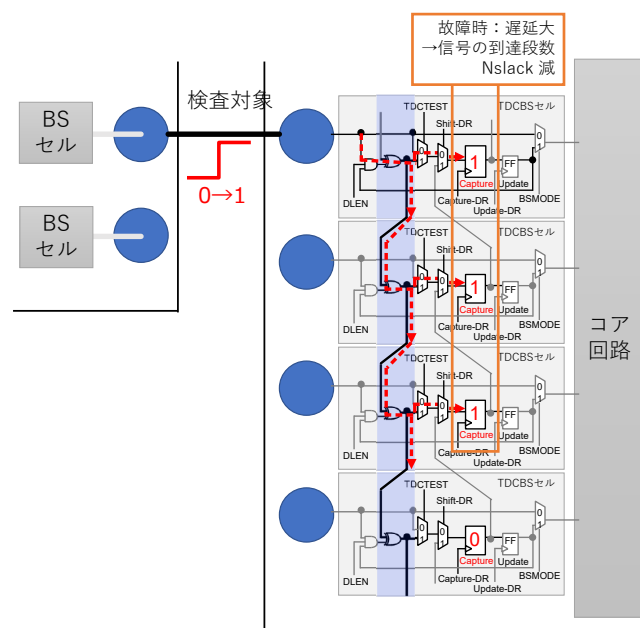


図9. TDCBSによる遅延測定

する手法を提案している¹⁵⁾。DLIN, DLOUTの2端子をTDCの遅延付加部として追加した図8のバウンダリスキャンセル (TDCBSセル) を用い、XORゲートによる遅延付加した信号変化をCapture FFにて観測する。観測対象のIC間接続へ供給する信号変化を図9のように接続し、0から1への信号変化とクロック周期に対するタイミング余裕を信号変化（図中では1）が到達するゲート段数Nslackとして観測する。半断線発生時は遅延が大きくなりNslackの値が減少する。測定する遅延時間の分解能は使用するXORゲートの遅延時間に依存する。試作チップにおいては約200 psの遅延量の差異を検出可能であった。

4. まとめ

本稿ではICチップ間接続の検査に用いられる検査容易化設計について、半断線故障の検出に適用可能な手法を紹介した。今後、3次元積層チップやチップレット実装などパッケージ内にも複数チップの実装が行われ、接続箇所の観測がますます困難な実装手段が使われていくことが予測される。チップ設計側では検査容易化設計を導入するとともに、実装検査においてはそれら検査手法の利用による信頼性向上が必要となる。

(2022.12.2- 受理)

文 献

- 1) ケンパーカー (著), 亀山修一 (監訳): “バウンダリスキャンハンドブック第3版,” 青山社, 2012
- 2) A. Teramoto, T. Murakoshi, M. Tsuzaka, and H. Fujita: “Automated Solder Inspection Technique for BGA-Mounted Substrates by Means of Oblique Computed Tomography,” IEEE Trans. Electronics Packaging Manufacturing, Vol. **30**, No. 4, pp. 285–292, Oct. 2007
- 3) 谷口正純, 野口健二: “JTAG バウンダリスキャンとX線CT検査による狭ピッチBGA実装基板の故障解析事例,” エレクトロニクス実装学会誌, Vol. **24**, No. 7, pp. 659–662, 2021
- 4) J. P. Hofmeister, et al.: “Ball Grid Array (BGA) Solder Joint Intermittency Detection: SJ BIST,” IEEE Aerospace Conference, pp. 1–11, 2008
- 5) N. Wang, X. Ma, X. Xu, and Z. Rui: “A Low Power Online Test Method for FPGA Single Solder Joint Resistance,” Journal of Electronics Testing, Vol. **33**, No. 6, pp. 775–780, 2017
- 6) K. P. Parker: “Capacitive sensing testability in complex memory devices,” IEEE International Test Conference, pp. 1–6, 2012
- 7) 水野孝一: “バウンダリスキャンテストとインサーキットテストの併用によるテストビリティの向上,” エレクトロニクス実装学会誌, Vol. **24**, No. 7, pp. 653–658, 2021
- 8) 一宮正博, 橋爪正樹, 四柳浩之, 為貞建臣: “CMOS論理ICの交流電界印加時の電源電流測定によるピン浮き検出法,” エレクトロニクス実装学会誌, Vol. **6**, No. 2, pp. 140–146,

2003

- 9) 橋爪正樹, 伊喜利勇貴, 小西朝陽, 四柳浩之, S.-K. Lu : “バウンダリスキャンテスト機構を用いたはんだ接合部の電気検査法とその組込型検査回路,” エレクトロニクス実装学会誌, Vol. **19**, No. 3, pp. 161–165, 2016
- 10) 曾根田伴奈, 神田道也, 四柳浩之, 橋爪正樹, Shyue-Kung Lu : “電気試験法による実装基板内抵抗断線の出荷後検出法,” 第29回マイクロエレクトロニクスシンポジウム, 2019
- 11) Y. Ikiri, et al.: “Open Defect Detection in Assembled Circuit Boards With Built-In Relaxation Oscillators,” IEEE Trans. Components, Packaging and Manufacturing Technology, Vol. **11**, No. 6, pp. 931–943, Jun. 2021
- 12) S. Sunter and A. Roy: “Contactless Test of IC Pads, Pins, and TSVs via Standard Boundary Scan,” IEEE Design and Test of Computers, Vol. **29**, No. 5, pp. 55–62, Oct. 2012
- 13) K. S. M. Li and Y. Y. Liao: “IEEE 1500 compatible multilevel maximal concurrent interconnect test,” IEEE Trans. VLSI Systems, Vol. **21**, No. 7, pp. 1333–1337, 2013
- 14) J.-W. You, et al.: “In-Situ Method for TSV Delay Testing and Characterization Using Input Sensitivity Analysis,” IEEE Trans. VLSI Systems, Vol. **21**, No. 3, pp. 443–453, Mar. 2013
- 15) 四柳浩之, 橋爪正樹: “ディレイテスト可能なバウンダリスキャン設計手法,” エレクトロニクス実装学会誌, Vol. **24**, No. 7, pp. 663–667, 2021

著者紹介



四柳浩之 (よつやなぎ ひろゆき)

平10大阪大学大学院工学研究科博士後期課程了。同年より徳島大学工学部電気電子工学科助手。現在同大学院社会産業理工学研究部准教授。順序回路のテスト容易化設計、断線故障の検査などの研究に従事。博士(工学)。エレクトロニクス実装学会、電子情報通信学会、IEEE各会員。